
DERWENT-ACC-NO: 1997-158305
DERWENT-WEEK: 199944
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Memory cell for EEPROM - has gate formed on dielectric film which is formed on respective surfaces of floating gate and spacers which are individually formed on insulating film portions on both sides of floating gate

INVENTOR: KIM, J H; OH, H S

PATENT-ASSIGNEE: GOLDSTAR ELECTRON CO LTD[GLDS], LG SEMICON CO LTD CO LTD[GLDS]

PRIORITY-DATA: 1995JP-0094184 (March 29, 1995) ,
1995US-0451415 (May 26, 1995)
, 1997US-0978028 (November 25, 1997)

PATENT-FAMILY:

| PUB-NO | PUB-DATE | LANGUAGE |
|---------------|--------------------|----------|
| PAGES | MAIN-IPC | |
| US 5953602 A | September 14, 1999 | N/A |
| 000 | H01L 021/8238 | |
| JP 08274198 A | October 18, 1996 | N/A |
| 007 | | |
| US 5736765 A | April 7, 1998 | N/A |
| 011 | H01L 021/8247 | |

H01L 029/76

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL-NO |
|-------------------|-----------------|----------------|
| APPL-DATE | | |
| US 5953602A | Div ex | 1995US-0451415 |
| May 26, 1995 | | |
| US 5953602A | N/A | 1997US-0978028 |
| November 25, 1997 | | |
| US 5953602A | Div ex | US 5736765 |
| N/A | | |
| JP08274198A | N/A | 1995JP-0094184 |
| March 29, 1995 | | |

US 5736765A N/A
May 26, 1995

1995US-0451415

INT-CL (IPC): H01L021/8238; H01L021/8247 ; H01L027/115 ;
H01L029/76 ;
H01L029/788 ; H01L029/792

ABSTRACTED-PUB-NO: JP08274198A

BASIC-ABSTRACT: The memory cell has a tunneling oxide film (55) formed in the upper portion of a source-drain area (45,47) which is in contact with a trench. An insulating film (43) is formed on the surface of a semiconductor substrate (41) excluding the trench and tunneling oxide film. a floating gate (57) is formed on the insulating film portion, located on the upper portion of the source-drain area, a gate oxide film (53) and the tunneling oxide film.

A spacer (59) is formed on the respective insulating film portions on both

sides of the floating gate. A dielectric film (61) is formed on the respective surfaces of the floating gate and spacers. A gate (63) is formed on the dielectric film.

ADVANTAGE - Enables interruption of leakage current flow from drain area to substrate caused by generation of high potential difference between drain area and gate. Provides satisfactory surface shape of memory cell. Simplifies processing of memory cell by eliminating field oxide-film etching process.

ABSTRACTED-PUB-NO: US 5736765A

EQUIVALENT-ABSTRACTS: The memory cell has a tunneling oxide film (55) formed in the upper portion of a source-drain area (45,47) which is in contact with a trench. An insulating film (43) is formed on the surface of a semiconductor substrate (41) excluding the trench and tunneling oxide film. a floating gate (57) is formed on the insulating film portion, located on

the upper portion of the source-drain area, a gate oxide film (53) and the tunneling oxide film.

A spacer (59) is formed on the respective insulating film portions on both sides of the floating gate. A dielectric film (61) is formed on the respective surfaces of the floating gate and spacers. A gate (63) is formed on the dielectric film.

ADVANTAGE - Enables interruption of leakage current flow from drain area to substrate caused by generation of high potential difference between drain area and gate. Provides satisfactory surface shape of memory cell. Simplifies processing of memory cell by eliminating field oxide-film etching process.

US 5953602A

~~The memory cell has a tunneling oxide film (55) formed in the upper portion of a source-drain area (45,47) which is in contact with a trench. An insulating film (43) is formed on the surface of a semiconductor substrate (41) excluding the trench and tunneling oxide film. a floating gate (57) is formed on the insulating film portion, located on the upper portion of the source-drain area, a gate oxide film (53) and the tunneling oxide film.~~

A spacer (59) is formed on the respective insulating film portions on both sides of the floating gate. A dielectric film (61) is formed on the respective surfaces of the floating gate and spacers. A gate (63) is formed on the dielectric film.

ADVANTAGE - Enables interruption of leakage current flow from drain area to substrate caused by generation of high potential difference between drain area and gate. Provides satisfactory surface shape of memory

cell. Simplifies
processing of memory cell by eliminating field oxide-film
etching process.

CHOSEN-DRAWING: Dwg.4/6 Dwg.4/5j

TITLE-TERMS:

MEMORY CELL EEPROM GATE FORMING DIELECTRIC FILM FORMING
RESPECTIVE SURFACE
FLOAT GATE SPACE INDIVIDUAL FORMING INSULATE FILM PORTION
SIDE FLOAT GATE

DERWENT-CLASS: U12 U13 U14

EPI-CODES: U12-D02A1; U12-Q; U13-C04B2; U14-A03B7;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1997-130642

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274198

(43) 公開日 平成8年(1996)10月18日

| (51) Int.Cl.* | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------|---------|--------|---------------|--------|
| H 0 1 L | 21/8247 | | H 0 1 L 29/78 | 3 7 1 |
| | 29/788 | | 27/10 | 4 3 4 |
| | 29/792 | | | |
| | 27/115 | | | |

審査請求 未請求 請求項の数12 F D (全 7 頁)

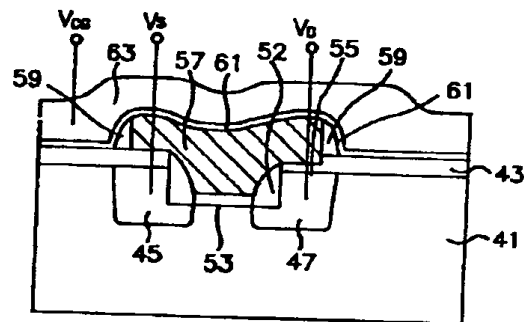
| | | | |
|-----------|-----------------|----------|---|
| (21) 出願番号 | 特願平7-94184 | (71) 出願人 | 591044131 エルジイ・セミコン・カンパニー・リミテッド 大韓民国 チュングチェオンブグド チ エオンジュシ ヒャンギエオンードン 50 |
| (22) 出願日 | 平成7年(1995)3月29日 | (72) 発明者 | ハン・ス・オ 大韓民国・チュンチョンブグド・チョン ズシ・ボクデードン・1572 |
| | | (72) 発明者 | ザン・ハン・キム 大韓民国・チュンチョンブグド・チョン ズシ・ボンミョンードン・102 |
| | | (74) 代理人 | 弁理士 山川 政樹 |

(54) 【発明の名称】 EEPROMセル及びその製造方法

(57) 【要約】

【目的】 消去時に基板とドレイン領域間のリーク電流を防止することのできるEEPROMセル及びその製造方法を提供すること。

【構成】 本発明は、チャンネル領域を有する第1導電型の半導体基板と、前記基板のチャンネル領域に形成された、一定の深さを有するトレンチと、前記トレンチ内側の両側壁に形成された第1スペーサと、第1スペーサの間のトレンチの底面に形成されたゲート酸化膜と、トレンチの外側及び底面の基板に形成された第2導電型のソース/ドレイン領域と、前記トレンチと接しているドレイン領域の上部の基板に形成されたトンネリング酸化膜と、前記トレンチ及びトンネリング酸化膜を除いた基板の全表面上に形成された絶縁膜と、ソース領域の上部の絶縁膜、トレンチ上部のゲート酸化膜及びトンネリング酸化膜上に形成されたフローティングゲートと、フローティングゲートの両側の絶縁膜上に形成された第2スペーサと、フローティングゲート及び第2スペーサの表面上に形成された誘電体膜と、誘電体膜上に形成されたコントロールゲートと、を含む。



| 1 | 2 |
|---|--|
| <p>【特許請求の範囲】</p> <p>【請求項1】 チャンネル領域を有する第1導電型の半導体基板と、</p> <p>前記基板のチャンネル領域に形成された、一定の深さを有するトレンチと、</p> <p>前記トレンチ内側の両側壁に形成された第1スペーサと、</p> <p>第1スペーサの間のトレンチの底面に形成されたゲート酸化膜と、</p> <p>トレンチの外側及び底面の基板に形成された第2導電型のソース/ドレイン領域と、</p> <p>前記トレンチと接しているドレイン領域の上部に形成されたトンネリング酸化膜と、</p> <p>前記トレンチ及びトンネリング酸化膜を除いた基板の全表面上に形成された絶縁膜と、</p> <p>ソース領域の上部の絶縁膜、トレンチ上部のゲート酸化膜及びトンネリング酸化膜上に形成されたフローティングゲートと、</p> <p>フローティングゲートの両側の絶縁膜上に形成された第2スペーサと、</p> <p>フローティングゲート及び第2スペーサの表面上に形成された誘電体膜と、</p> <p>誘電体膜上に形成されたコントロールゲートと、を含むことを特徴とするEEPROMセル。</p> <p>【請求項2】 絶縁膜として、酸化膜が用いられることを特徴とする請求項1記載のEEPROMセル。</p> <p>【請求項3】 ソース、ドレイン領域は、前記トレンチの深さより相対的に大きい接合の深さを有する埋込形であることを特徴とする請求項1記載のEEPROMセル。</p> <p>【請求項4】 第1導電型の半導体基板上に絶縁膜を形成するステップと、</p> <p>ホトエッチング工程によりソース/ドレイン領域が形成されるべき部分を除いた絶縁膜上にホトレジスト膜を残すステップと、</p> <p>ホトレジスト膜をマスクとして基板に第2導電型の不純物をイオン注入し、一定の接合の深さを有する第2導電型のソース領域とドレイン領域とを半導体基板内に互いに一定の間隔を置いて形成するステップと、</p> <p>前記ソース/ドレイン領域の一部分を含むソース/ドレイン領域の間の基板をエッチングして一定の深さのトレンチを形成するステップと、</p> <p>基板の全面にわたって絶縁膜を塗布し異方性エッチングして、トレンチの側壁内に第1スペーサを形成するステップと、</p> <p>前記第1スペーサの間のトレンチの底面上にゲート酸化膜を形成するステップと、</p> <p>前記第1スペーサと隣合うドレイン領域の上部にトンネリング酸化膜を形成するステップと、</p> <p>基板の全表面上にポリシリコン膜を塗布しパターニングし</p> | <p>て、トンネリング酸化膜とトレンチを含むソース/ドレイン領域の上部の絶縁膜上にフローティングゲートを形成するステップと、</p> <p>基板の全面にわたって絶縁膜を塗布し異方性エッチングして、フローティングゲートの両側の絶縁膜上に第2スペーサを形成するステップと、</p> <p>フローティングゲート及び第2スペーサの表面上にコンデンサの誘電体膜を形成するステップと、</p> <p>誘電体膜上にコントロールゲートを形成するステップと、を含むことを特徴とするEEPROMセルの製造方法。</p> <p>【請求項5】 前記ソース/ドレイン領域の接合の深さは、前記トレンチの深さより相対的に大きいことを特徴とする請求項4記載のEEPROMセルの製造方法。</p> <p>【請求項6】 トレンチを形成した後、閾値を調節するため基板へのイオン注入工程がさらに追加されることを特徴とする請求項4記載のEEPROMセルの製造方法。</p> <p>【請求項7】 絶縁膜として、酸化膜が用いられることを特徴とする請求項4記載のEEPROMセルの製造方法。</p> <p>【請求項8】 前記トンネリング酸化膜を形成するステップは、</p> <p>基板の全面にわたってホトレジスト膜を塗布するステップと、</p> <p>第1スペーサと隣合うドレイン領域上のホトレジスト膜を除去して絶縁膜を露出させるステップと、</p> <p>前記ホトレジスト膜をマスクとして露出した絶縁膜を除去し、ドレイン領域の上部の基板を露出させるステップと、</p> <p>酸化工程によりドレイン領域の上部の露出した基板上にトンネリング酸化膜を形成するステップと、を含むことを特徴とする請求項4記載のEEPROMセルの製造方法。</p> <p>【請求項9】 互いに一定の間隔だけ離れた第2導電型のソース/ドレイン領域と前記ソース/ドレイン領域との間に形成されたチャンネル領域を有する第1導電型の基板と、</p> <p>基板のチャンネル領域に形成された深さを有するトレンチと、</p> <p>前記トレンチの上部と少なくとも前記ソース領域の一部分上に形成されたゲート領域と、を含むことを特徴とするEEPROMセル。</p> <p>【請求項10】 トレンチの内側の両側壁に形成された第1スペーサをさらに含むことを特徴とする請求項9記載のEEPROMセル。</p> <p>【請求項11】 ドレインとゲート領域との間に前記トレンチと接しているトンネリング酸化膜をさらに含むことを特徴とする請求項9記載のEEPROMセル。</p> <p>【請求項12】 ゲート領域の各側壁と各々接しており、少なくとも前記ソース/ドレイン領域の中の一つの</p> |

領域の一部分上に形成された第2スペースをさらに含むことを特徴とする請求項9記載のEEPROMセル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性の半導体メモリ素子に係り、特に消去時にリーク電流を防止し、セルの表面形状を改善することのできるEEPROMセル及びその製造方法に関する。

【0002】

【従来の技術】図1(A)乃至(H)は、従来のEEPROMセルの製造工程図である。図1(A)に示すように、p型半導体基板11上に酸化膜13と窒化膜15を順次蒸着し、EEPROMセルのソース領域が形成される位置の酸化膜13と窒化膜15とを除去して基板11の一部分を露出させる。

【0003】図1(B)のように、酸化膜13と窒化膜15をマスクとして基板11の露出した部分にn⁺型不純物をイオン注入し、通常のフィールド酸化工程を行ってn⁺型ソース領域17と第1フィールド酸化膜19を形成する。残っている窒化膜15と酸化膜13を全て順次除去する。

【0004】図1(C)のように、半導体基板11上に再び酸化膜21と窒化膜23を順次蒸着し、EEPROMセルのドレーン領域が形成されるべき部分の酸化膜21と窒化膜23を除去して、ドレーン領域が形成されるべき部分の基板11を露出させる。

【0005】図1(D)に示すように、酸化膜21と窒化膜23をマスクとして基板11の露出した部分にn⁺型不純物をイオン注入し、通常のフィールド酸化工程を行ってn⁺型ドレーン領域25と第2フィールド酸化膜27を形成する。これらn⁺型ドレーン領域25と第2フィールド酸化膜27は、以前の工程で形成されたn⁺型ソース領域17及び第1フィールド酸化膜19と一定の間隔を置いて基板11上に形成してある。残っている窒化膜23と酸化膜21を順次除去して、前記第1及び第2フィールド酸化膜19、27が形成された部分を除いた基板の全表面を露出させる。

【0006】図1(E)に示すように、露出した基板11の表面にゲート酸化膜29を形成し、図1(F)のようにn⁺型ドレーン領域25の上部に形成されているフィールド酸化膜27の一部分を除去してトンネリング酸化膜31を形成する。このトンネリング酸化膜31を形成するため、第2フィールド酸化膜27のドレーン領域25の中央部分に対応する部分を一定の厚さだけ除去し、薄い膜として残す。これにより、トンネリング酸化膜31が形成される。

【0007】図1(G)に示すように、基板の全面にわたってポリシリコン膜を蒸着しパターニングして、第1フィールド酸化膜19とトンネリング酸化膜とを含んだ第2フィールド酸化膜27の間にかけてEEPROMセ

ルの第1ゲートであるフローティングゲート33を形成する。

【0008】最終的に、図1(H)のように、フローティングゲート33の露出した表面に誘電体膜35を形成し、誘電体膜35上にポリシリコン膜からなるコントロールゲート37をEEPROMセルの第2ゲートとして形成する。これにより、従来のEEPROMセルが得られる。

【0009】前記従来のEEPROMセルの書込み及び消去の動作を図2とともに説明する。まず、書込み及びプログラム時には、コントロールゲート37の電圧印加端子(V_{CG})に高電圧を加え、ドレーン領域25の電圧印加端子(V_D)に低電圧(接地電位)を印加する。この時、ソース領域17の電圧印加端子(V_S)は低電圧を印加するか、又はフローティングさせる。印加電圧に応じてソース/ドレーン領域17、25の間のチャンネル領域では電子-ホールペアが形成され、チャンネル領域で生成された電子はコントロールゲート37とドレーン領域25間の電位差によってドレーン領域25に注入され、トンネリング酸化膜31を介してフローティングゲート33にトンネリングされる。トンネリングされた電子がフローティングゲート33に落着くにつれてEEPROMセルの閾値が増加することになる。

【0010】一方、消去時には、コントロールゲート37の電圧印加端子(V_{CG})に低電圧(接地電圧)を印加し、ドレーン領域25の電圧印加端子(V_D)に高電圧を印加し、ソース領域17の電圧印加端子(V_S)をフローティングさせる。

【0011】従って、コントロールゲート37とドレーン領域25間の電位差によってフローティングゲート33に蓄積されていた電子は、トンネリング酸化膜31を通じてドレーン領域25へ抜け出す。この際、フローティングゲート33から電子がドレーン領域25へ抜け出すことにより、図3のようにトンネリング酸化膜31の両端にかかる電位差が小さくなる。

【0012】

【発明が解決しようとする課題】しかし、前記従来のEEPROMセルのドレーン領域25の上部の第2フィールド酸化膜27の厚さが薄い場合に、消去時にドレーン領域25とコントロールゲート37間の大きい電位差によってトンネリング酸化膜31及びチャンネル領域の間、すなわち、第2フィールド酸化膜27の下部のドレーン領域25に空乏領域39が形成される。従って、強い電界によってトンネリング酸化膜31の下部のドレーン領域25で生成されたホールが基板に注入されるので、基板11とドレーン領域25の間にリーク電流が流れることになる問題点があった。

【0013】なお、厚いフィールド酸化膜を形成するために、2回にわたってフィールド酸化工程を行わなければならない、さらに、薄膜のトンネリング酸化膜を形成

するために、フィールド酸化膜を一定の厚さにエッチングするエッチング工程を行わなければならないので、工程が複雑であるという問題点があった。

【0014】本発明は、前記従来の技術の問題点を解決するためのもので、消去時に基板とドレーン領域間のリーク電流を防止することのできるEEPROMセル及びその製造方法を提供することにその目的がある。

【0015】本発明の他の目的は、ソース/ドレーン領域上に厚いフィールド酸化膜を形成しないでソース、ドレーン領域を埋込形に形成することにより、セルの表面形状を改善することのできるEEPROMセル及びその製造方法を提供することにある。

【0016】本発明の別の目的は、簡単な工程により埋込形ソース/ドレーン及びトンネリング酸化膜を形成することのできるEEPROMセル及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明は、チャンネル領域を有する第1導電型の半導体基板と、前記基板のチャンネル領域に形成された、一定の深さを有するトレンチと、前記トレンチ内側の両側壁に形成された第1スペーサと、第1スペーサの間のトレンチの底面に形成されたゲート酸化膜と、トレンチの外側及び底面の基板に形成された第2導電型のソース/ドレーン領域と、前記トレンチと接しているドレーン領域の上部に形成されたトンネリング酸化膜と、前記トレンチ及びトンネリング酸化膜を除いた基板の全表面上に形成された絶縁膜と、ソース領域の上部の絶縁膜、トレンチ上部のゲート酸化膜及びトンネリング酸化膜上に形成されたフローティングゲートと、フローティングゲートの両側の絶縁膜上に形成された第2スペーサと、フローティングゲート及び第2スペーサの表面上に形成された誘電体膜と、誘電体膜上に形成されたコントロールゲートと、を含むEEPROMセルを提供する。

【0018】なお、本発明は、第1導電型の半導体基板上に絶縁膜を形成するステップと、ホットエッチング工程によりソース/ドレーン領域が形成されるべき部分の絶縁膜を除去して基板を露出させるステップと、露出した基板に第2導電型の不純物をイオン注入して、半導体基板内に一定の間隔を置いて一定の接合の深さを有する第2導電型のソース領域とドレーン領域を形成するステップと、前記ソース/ドレーン領域を含むソース/ドレーン領域の間の基板をエッチングしてトレンチを形成するステップと、基板の全面にわたって絶縁膜を塗布し異方性エッチングして、トレンチの側壁内に第1スペーサを形成するステップと、前記第1スペーサの間のトレンチの底面上にゲート酸化膜を形成するステップと、前記第1スペーサと隣合うドレーン領域の上部にトンネリング酸化膜を形成するステップと、基板の全表面上にポリシリコン膜を塗布しパターンニングして、トンネリング酸化膜

とトレンチを含むソース/ドレーン領域の上部の絶縁膜上にフローティングゲートを形成するステップと、基板の全面にわたって絶縁膜を塗布し異方性エッチングして、フローティングゲートの両側の絶縁膜上に第2スペーサを形成するステップと、フローティングゲート及び第2スペーサの表面上にコンデンサの誘電体膜を形成するステップと、誘電体膜上にコントロールゲートを形成するステップと、を含むEEPROMセルの製造方法を提供する。

【0019】

【実施例】以下、本発明の実施例を添付図面に基づいて説明する。図4は、本発明の実施例によるEEPROMセルの断面構造図である。図4を参照すると、本発明のEEPROMセルは、p型基板41のチャンネル領域に一定の深さを有するトレンチが形成され、トレンチ内側の両側壁には第1スペーサ52が形成されており、スペーサ52の間のトレンチの底面にはゲート酸化膜53が形成されている。トレンチの外側の基板41にはトレンチの深さより相対的に深い接合の深さを有する埋込形のn⁺型ソース/ドレーン領域45、47が形成され、ドレーン領域47の上部には薄膜のトンネリング酸化膜55が形成され、トレンチ及びトンネリング酸化膜55を除いた基板41の全表面上に絶縁膜として酸化膜43が形成されている。そして、ソース領域45及びトンネリング酸化膜を含んだドレーン領域47の間にフローティングゲート57が形成され、フローティングゲート57の両側に第2スペーサ59が形成され、フローティングゲート57及び第2スペーサ59の表面上に誘電体膜61が形成され、その誘電体膜61上にコントロールゲート63が形成されている。

【0020】前記構造のEEPROMセルのデータの消去、書込み及び読出し動作を説明する。まず、本発明のEEPROMセルにおいて、書込み動作時にはEEPROMセルの第2ゲートであるコントロールゲート63の電圧印加端子(V_{CG})に高電圧を印加し、ドレーン領域47の電圧印加端子(V_D)に低電圧を印加し、ソース領域45の電圧印加端子(V_S)をフローティングさせる。従って、ドレーン領域47とコントロールゲート63間の電位差によってトレンチ下部のチャンネル領域で生成された電子は、ドレーン領域47に注入され、ドレーン領域47の電子はドレーン領域47の上部の薄膜のトンネリング酸化膜55を介してフローティングゲート57にトンネリングされて蓄積される。

【0021】消去の動作時には、EEPROMセルの第2ゲートであるコントロールゲート63の電圧印加端子(V_{CG})に低電圧を印加し、ドレーン領域47の電圧印加端子(V_D)に高電圧を印加し、ソース領域45の電圧印加端子(V_S)をフローティングさせる。従って、ドレーン領域47とコントロールゲート63間の電位差によってフローティングゲート57に蓄積されていた電子

は、トンネリング酸化膜55を介してドレーン領域47へ抜け出す。この際、ドレーン領域47とコントロールゲート63間に高い電位差が発生してもフローティングゲート57とドレーン領域47が接しているトレンチの内側壁に第1スペーサ52が形成されているので、ドレーン領域47から基板41にリーク電流が流れることを遮断することができる。

【0022】そして、データ読出し動作時には、ドレーン領域47とソース領域45間に静電位差が保持されるようにドレーン及びソース領域の電圧印加端子(V_D)、(V_S)に各々一定の電圧を印加し、ドレーン領域とコントロールゲート間の電位差が電子がトンネリング酸化膜55を介してドレーン領域からフローティングゲート57へトンネリングされない範囲内の一定の電圧をコントロールゲートの電圧印加端子(V_{CG})に加える。その状態においてセルに流れる電流を検出してデータを読み出す。

【0023】前記のEEPROMセルは、ソース/ドレーン領域45、47が埋込形に形成され、ソース/ドレーン領域45、47の間のトレンチ内にゲート酸化膜53が形成されるとともに、トレンチの上部にフローティングゲート57及びコントロールゲート63が形成されるので、EEPROMセルの良好な表面形状が得られる。

【0024】図5(A)～(J)は、図4に示すように本発明のEEPROMセルの製造工程図を示す。図5(A)を参照すると、p型半導体基板41上に絶縁膜として酸化膜43を形成し、酸化膜43上にホトレジスト膜44を塗布し、ソース/ドレーン領域が形成されるべき部分のホトレジスト膜44を除去して基板を露出させる。ホトレジスト膜44をマスクとして露出した基板にn⁺型不純物をイオン注入する。これにより、半導体基板内に一定の間隔を置いてn⁺型ソース領域45とドレーン領域47が形成される。この際、ソース/ドレーン領域45、47は、一定の接合の深さを有する。残っているホトレジスト膜44を除去する。

【0025】図5(B)を参照すると、ソース/ドレーン領域45、47の間の酸化膜43と半導体基板41をエッチングしてトレンチ49を形成する。トレンチ49は前記ソース/ドレーン領域45、47の接合の深さより小さいエッチングの深さを有し、ソース/ドレーン領域45、47の一部分を含む。トレンチ領域49の下部の基板はチャンネル領域となる。

【0026】図5(C)のように、基板の全面にわたって絶縁膜51を塗布し、図5(D)のように異方性エッチングしてソース/ドレーン領域45、47に形成されたトレンチ側壁内に第1スペーサ52を形成する。第1スペーサ52の形成によってチャンネル領域に該当する基板が露出する。基板のチャンネル領域に閾値調整用不純物をイオン注入する。

【0027】図5(E)のように、前記露出した基板上

にゲート酸化膜53を形成する。図6(F)のように、ゲート酸化膜の形成後、基板の全面にわたってホトレジスト膜54を塗布し、ドレーン領域47の上部のホトレジスト膜54を除去して酸化膜43を露出させる。露出した酸化膜43を除去してドレーン領域47の上部の基板を露出させ、ホトレジスト膜54を除去する。

【0028】次に、図6(G)のように酸化工程により露出した基板上に薄膜のトンネリング酸化膜55を形成する。

10 【0029】図6(H)のように、基板の全面上にポリシリコン膜を塗布しパターニングして、トンネリング酸化膜55とトレンチ49とを含んだソース/ドレーン領域45、47の上部の酸化膜43上にフローティングゲート57を形成する。

【0030】図6(I)のように、基板の全面にわたって絶縁膜を塗布し異方性エッチングして、フローティングゲート57の両側の酸化膜43上に第2スペーサ59を形成する。

20 【0031】図6(J)のように、フローティングゲートの側壁スペーサ59を形成した後、フローティングゲート57及び側壁スペーサ59の表面上にコンデンサの誘電体膜61を形成し、その上にコントロールゲート63を形成して本発明のEEPROMセルを完成する。

【0032】

【発明の効果】前記の本発明によれば、消去時に大きい電位差が生じるトンネリング酸化膜とドレーン領域間にトレンチを形成し、トレンチ内に側壁スペーサを形成することにより、ドレーン領域とコントロールゲート間の高い電位差の発生によりドレーン領域47から基板へリーク電流が流れることを遮断することができる。

30 【0033】なお、前記のEEPROMセルは、ソース/ドレーン領域が埋込形と形成され、ソース/ドレーン領域の間のトレンチ内にゲート酸化膜が形成されるとともに、トレンチの上部にフローティングゲート及びコントロールゲートが形成され、EEPROMセルの良好な表面形状が得られる。さらに、従来の複雑なフィールド酸化工程及びトンネリング酸化膜を形成するためのフィールド酸化膜エッチング工程が排除されるので、工程の単純化を計ることができる。

【図面の簡単な説明】

【図1】従来のEEPROMセルの製造工程図である。

【図2】図1のEEPROMセルの消去及び書き込み動作を説明するための図である。

【図3】図1のEEPROMセルの書き込み及び消去動作時の電圧波形図である。

【図4】本発明の実施例によるEEPROMセルの断面図である。

【図5】図3のEEPROMセルの製造工程図である。

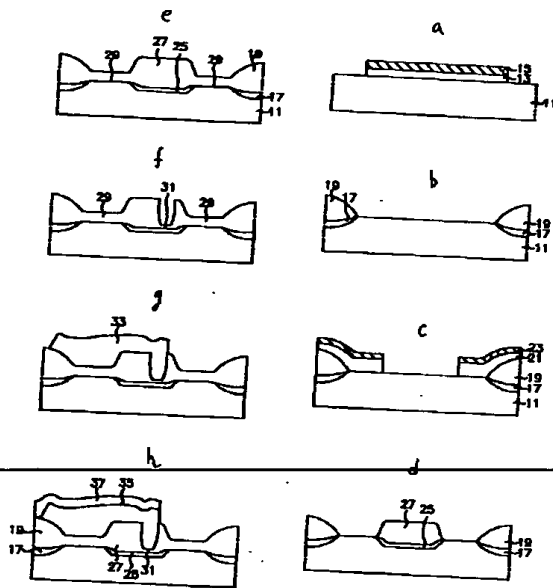
【図6】 図3のEEPROMセルの製造工程図である。

【符号の説明】

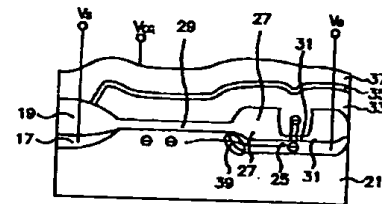
41…半導体基板、42, 54…ホトレジスト膜、43…絶縁膜、45, 47…ソース/ドレイン領域、49…

トレンチ、51…スペーサ用絶縁膜、52…第1スペーサ、53…ゲート酸化膜、55…トンネリング酸化膜、57…フローティングゲート、59…第2スペーサ、61…誘電体膜、63…コントロールゲート。

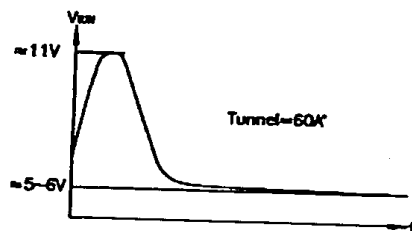
【図1】



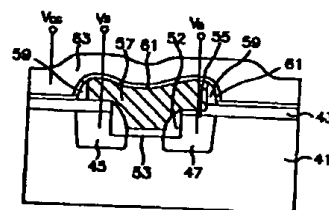
【図2】



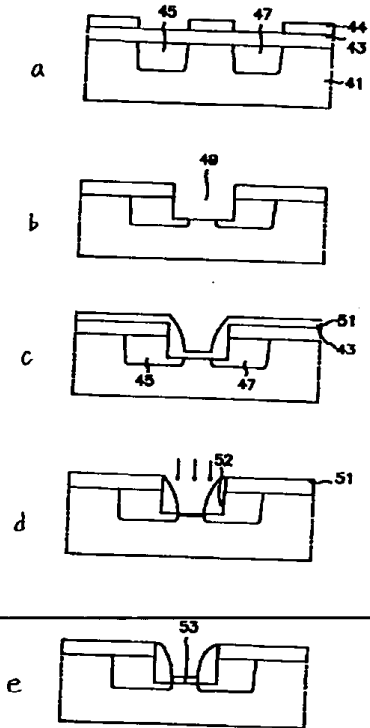
【図3】



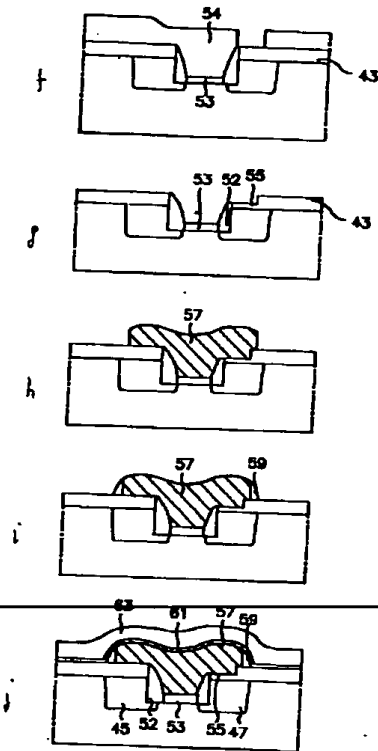
【図4】



【図5】



【図6】



PTO 2003-241

Japan, Kokai
8-274198

EEPROM CELL AND ITS MANUFACTURING METHOD
[EEPROM Ceru Oyobi Sono Seizo Hoho]

~~Han-Soo Oh and Jan-Han Kim~~

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. October, 2002

Translated by: Schreiber Translations, Inc.

Country : Japan
Document No. : 8-274198

Document type : Kokai
Language : Japanese
Inventors : Han-Soo Oh and Jan-Han Kim
Applicant : LG Semicon Co., Ltd.
IPC : H 01 11 21/8247
29/788
29/792
27/115

Application date : March 29, 1995
Publication date : October 18, 1996
Foreign Language Title : EEPROM Ceru Oyobi Sono Seizo Hoho
English Title : EEPROM CELL AND ITS MANUFACTURING
METHOD

1. Title of the Invention: EEPROM CELL AND ITS MANUFACTURING METHOD

2. Claims

1. An EEPROM cell, characterized by consisting of a first electroconductive type semiconductor substrate having a channel region, a trench with a fixed depth formed in the channel region of the above-mentioned substrate, first spacers formed at both side walls at the inside of the above-mentioned trench, a gate oxide film formed on the bottom face of the trench between the first spacers, second conductive type source/drain regions formed at the outside of the trench and on the substrate of the bottom face, a tunneling oxide film formed on the substrate of the upper part of the drain region in contact with the above-mentioned trench, an insulating film formed on the entire surface of the substrate except for the above-mentioned trench and tunneling oxide film, a floating gate formed on the insulating film of the upper part of the source region, the gate oxide film of the upper part of the trench, and the tunneling oxide film, second spacers formed on the insulating film at both sides of the floating gate, a dielectric film formed on the surface of the floating gate and

¹ Numbers in the margin indicated pagination in the foreign text.

the second spacers, and a control gate formed on the dielectric film.

2. The EEPROM cell of Claim 1, characterized by the fact that an oxide film is used as the insulating film.

3. The EEPROM cell of Claim 1, characterized by the fact that the source and drain region is an embedded type with a junction depth relatively greater than the depth of the above-mentioned trench.

4. A method for manufacturing an EEPROM cell, characterized by consisting of a step that forms an insulating film on a first electroconductive type semiconductor substrate, a step that leaves a photoresist film on the insulating film except ~~for the part in which source/drain regions are to be formed by a~~ photoetching process, a step that ion-implants second electroconductive type impurities into a substrate using the photoresist film as a mask and forms second electroconductive source region and drain region with a fixed junction depth at a mutually fixed interval in the semiconductor substrate, a step that forms a trench with a fixed depth by etching the substrate between the source/drain regions including part of the above-mentioned source/drain regions, a step that forms first spacers in the side walls of the trench by spreading the insulating film over the entire surface of the substrate and applying an anisotropic etching to it, a step that forms a gate oxide film on the bottom face of the trench between the above-mentioned first spacers, a step that forms a tunneling oxide film at the upper

part of the drain region adjacent to the above-mentioned first spacers, a step that forms a floating gate on the tunneling oxide film and the insulating gate of the upper part of the source/drain regions including the trench, a step that forms second spacers on the insulating film at both sides of the floating gate by spreading the insulating film over the entire surface of the substrate and applying the anisotropic etching to it, a step that forms a dielectric film of a capacitor on the surface of the floating gate and the second spacer, and a step that forms a control gate on the dielectric film.

5. The method for manufacturing an EEPROM cell of Claim 4, characterized by the fact that the junction depth of the above-mentioned source/drain regions is relatively greater than the depth of the above-mentioned trench.

6. The method for manufacturing an EEPROM cell of Claim 4, characterized by the fact that after forming the trench, the ion implantation process to the substrate is added to adjust the threshold.

7. The method for manufacturing an EEPROM cell of Claim 4, characterized by the fact that an oxide film is used as the insulating film.

8. The method for manufacturing an EEPROM cell of Claim 4, characterized by the fact that the step for forming the above-mentioned tunneling oxide film includes a step that spreads a photoresist film over the entire surface of the substrate, a step that exposes the insulating film by removing the photoresist film

on the drain region adjacent to the first spacer, a step that exposes the substrate of the upper part of the drain region by removing the exposed insulating film using the above-mentioned photoresist film as a mask, a step that forms the tunneling oxide film on the exposed substrate of the upper part of the drain region by an oxidizing process.

9. An EEPROM cell, characterized by consisting of a first electroconductive type substrate having second electroconductive type source/drain regions separated at a mutually fixed interval and a channel region formed between the above-mentioned source/drain regions, a trench with a depth formed in the channel region of the substrate, and a gate region formed on the upper part of the above-mentioned trench and part of at least the above-mentioned source region.

10. The EEPROM cell of Claim 9, characterized by the fact that first spacers formed at both side walls at the inside of the trench are further included.

11. The EEPROM cell of Claim 9, characterized by the fact that a tunneling oxide film in contact with the above-mentioned trench is further included between the drain and the gate regions.

12. The EEPROM cell of Claim 9, characterized by the fact that second spacers that respectively contact with each side wall of the gate region and are formed on part of at least one region of the above-mentioned source/drain regions are further included.

/3

3. Detailed explanation of the invention

[0001]

(Industrial application field)

The present invention pertains to a nonvolatile semiconductor memory device. In particular, it pertains to an EEPROM cell, which prevents a leak current when erasing and can improve the surface shape of the cell, and its manufacturing method.

[0002]

(Prior art)

Figures 1(A)-(H) are manufacturing process diagrams of a conventional EEPROM cell. As shown in Figure 1(A), an oxide film 13 and a nitride film 15 ~~are sequentially vapor-deposited on a p~~ type semiconductor substrate 11, and part of a substrate 11 is exposed by removing the oxide film 13 and the nitride film 15 at the position where a source region of an EEPROM cell is formed.

[0003] As shown in Figure 1(B), using the oxide film 13 and the nitride film 15 as masks, n⁺ type impurities are ion-implanted into the exposed part of the substrate 1 and subjected to an ordinary field oxidizing process, so that a n⁺ type source region 17 and a first field oxide film 19 are formed. All the remaining nitride film 15 and oxide film 13 are sequentially removed.

[0004] As shown in Figure 1(C), an oxide film 21 and a nitride 23 are sequentially vapor-deposited again on the semiconductor substrate 11, and the oxide film 21 and the nitride film 23 of the part in which a drain region of the EEPROM cell is to be

formed are removed, and the substrate 11 of the part in which the drain region is to be formed is exposed.

[0005] As shown in Figure 1(D), using the oxide film 21 and the nitride film 12 as masks, n^+ type impurities are ion-implanted in the exposed part of the substrate 11 and subjected to an ordinary field oxidizing process, so that a n^+ type drain region 25 and a second field oxide film 27 are formed. These n^+ type drain region 25 and second field oxide film 27 are formed at a fixed interval from the n^+ type source region 17 and the first field oxide film 19 formed in the previous process on the substrate 11. The remaining nitride film 23 and oxide film 21 are sequentially removed, and the entire surface of the substrate except for the part in which the above-mentioned first and second field oxide films 19 and 27 are formed is exposed.

[0006] As shown in Figure 1(E), a gate oxide film 29 is formed on the surface of the substrate 11 exposed, and as shown in Figure 1(F), part of the field oxide film 27 formed in the upper part of the n^+ type drain region 25 is removed, so that a tunneling oxide film 31 is formed. In order to form the tunneling oxide film 31, the part corresponding to the central part of the drain region 25 of the second field oxide film 27 is removed by a fixed thickness and leaves as a thin film. Thus, the tunneling oxide film 31 is formed.

[0007] As shown in Figure 1(G), a floating gate 33 as a first gate of the EEPROM cell is formed between the first field oxide film 19 and the second field oxide film 27 including the

tunneling oxide film by vapor-depositing and patterning a polysilicon film on the entire surface of the substrate.

[0008] Finally, as shown in Figure 1(H), a dielectric film 35 is formed on the exposed surface of the floating gate 33, and a control gate 37 composed of a polysilicon film is formed as a second gate of the EEPROM cell on the dielectric film 35. Thus, the conventional EEPROM cell can be obtained.

[0009] Writing and erasing operations of the above-mentioned conventional EEPROM cell are explained along with Figure 2. First, when writing and programming, a high voltage is applied to a voltage applying terminal (V_{CG}) of the control gate 37, and a low voltage (ground potential) is applied to a voltage applying terminal (V_D) of the drain region 25. ~~At that time, a voltage~~

applying terminal (V_S) of the source region 17 is applied with a low voltage or floated. In accordance with the voltage being applied, electron-hole pairs are formed in the channel region between the source/drain regions 17 and 25, and the electrons generated in the channel region are implanted into the drain region 25 by the potential difference between the control gate 37 and the drain region 25 and tunneled to the floating gate 33 via the tunneling oxide film 31. As the electrons tunneled are cumulated in the floating gate 33, the threshold of the EEPROM cell is increased.

[0010] On the other hand, when erasing, a low voltage (ground voltage) is applied to the voltage applying terminal (V_{CG}) of the control gate 37, a high voltage is applied to the voltage

applying terminal (V_D) of the drain region 25, and the voltage applying terminal (V_S) of the source region 17 is floated.

[0011] Therefore, the electrons cumulated in the floating gate 33 by the potential difference between the control gate 37 and the drain region 25 slip to the drain region 25 through the tunneling oxide film 31. At that time, the electrons slip to the drain region 25 from the floating gate 33, so that the potential difference being exerted at both terminals of the tunneling oxide film 31 is decreased as shown in Figure 3.

[0012]

(Problems to be solved by the invention)

However, if the thickness of the second field oxide film 27 of the upper part of the drain region 25 of the above-mentioned conventional EEPROM cell is thin, a depletion region 39 is formed between the tunneling oxide film 31 and the tunnel region, that is, in the drain region 25 of the lower part of the second field oxide film 27 by a large potential difference between the drain region 25 and the control gate 37 when erasing. Therefore, since the holes generated in the drain region 25 of the lower part of the tunneling oxide film 31 were implanted into the substrate by a strong electric field, a leak current flowed between the substrate 11 and the drain region 25.

[0013] Also, in order to form a thick field oxide film, the field oxidizing process had to be carried out twice, and in order to form a thin tunneling oxide film, an etching process for etching the field oxide film to a fixed thickness had to be carried out, /4

so that the processes were complicated.

[0014] The present invention solves the problems of the above-mentioned prior art, and its purpose is to provide an EEPROM cell, which can prevent a leak current between a substrate and a drain region when erasing, and its manufacturing method.

[0015] Another purpose of the present invention is to provide an EEPROM cell, which can improve the surface shape of the cell by forming source and drain regions in an embedded shape without forming a thick field oxide film in the source/drain regions, and its manufacturing method.

[0016] Another purpose of the present invention is to provide an EEPROM cell, which can form an embedded source/drain and a tunneling oxide film by a simple process, and its manufacturing method.

[0017]

(Means to solve the problems)

In order to achieve the above-mentioned purposes, the present invention provides an EEPROM cell consisting of a first electroconductive type semiconductor substrate having a channel region, a trench with a fixed depth formed in the channel region of the above-mentioned substrate, first spacers formed at both side walls at the inside of the above-mentioned trench, a gate oxide film formed on the bottom face of the trench between the first spacers, second conductive type source/drain regions formed at the outside of the trench and on the substrate of the bottom face, a tunneling oxide film formed on the substrate of the upper

part of the drain region in contact with the above-mentioned trench, an insulating film formed on the entire surface of the substrate except for the above-mentioned trench and tunneling oxide film, a floating gate formed on the insulating film of the upper part of the source region, the gate oxide film of the upper part of the trench, and the tunneling oxide film, second spacers formed on the insulating film at both sides of the floating gate, a dielectric film formed on the surface of the floating gate and the second spacers, and a control gate formed on the dielectric film.

[0018] Also, the present invention provides a method for manufacturing an EEPROM cell consisting of a step that forms an insulating film on a first ~~electroconductive type semiconductor~~ substrate, a step that leaves a photoresist film on the insulating film except for the part in which source/drain regions are to be formed by a photoetching process, a step that ion-implants second electroconductive type impurities into a substrate using the photoresist film as a mask and forms second electroconductive source region and drain region with a fixed junction depth at a mutually fixed interval in the semiconductor substrate, a step that forms a trench with a fixed depth by etching the substrate between the source/drain regions including part of the above-mentioned source/drain regions, a step that forms first spacers in the side walls of the trench by spreading the insulating film over the entire surface of the substrate and applying an anisotropic etching to it, a step that forms a gate

oxide film on the bottom face of the trench between the above-mentioned first spacers, a step that forms a tunneling oxide film at the upper part of the drain region adjacent to the above-mentioned first spacers, a step that forms a floating gate on the tunneling oxide film and the insulating gate of the upper part of the source/drain regions including the trench, a step that forms second spacers on the insulating film at both sides of the floating gate by spreading the insulating film over the entire surface of the substrate and applying the anisotropic etching to it, a step that forms a dielectric film of a capacitor on the surface of the floating gate and the second spacer, and a step that forms a control gate on the dielectric film.

[0019]

(Application example)

Next, an application example of the present invention is explained based on the attached figures. Figure 4 is a sectional structural diagram showing the EEPROM cell of an application example of the present invention. As shown in Figure 4, in the EEPROM cell of the present invention, a trench with a fixed depth is formed in a channel region of the p type substrate 41, first spacers 52 are formed at both side walls of the inside of the trench, and a gate oxide film 53 is formed on the bottom face of the trench between the spacers 52. Embedded n⁺ type source/drain regions 45 and 47 with a junction depth relatively deeper than the depth of the trench are formed on the substrate 41 of the outside of the trench, a thin tunneling oxide film 55 is formed

in the upper part of the drain region 47, and an oxide film 53 is formed as an insulating film on the entire surface of the substrate 41 except for the trench and the tunneling oxide film 55. Then, a floating gate 57 is formed between the source region 45 and the drain region 47 including the tunnel oxide film, second spacers 59 are formed at both sides of the floating gate 57, a dielectric film 61 is formed on the surface of the floating gate 57 and the second spacers 59, and a control gate 63 is formed on the dielectric film 61.

[0020] Erasing, writing, and reading operations of data of the EEPROM cell with the above-mentioned structure are explained. First, in the EEPROM cell of the present invention, at a time of a writing operation, a high voltage is applied to a voltage

applying terminal (V_{CG}) of the control gate 63 as a second gate of the EEPROM cell, a low voltage is applied to a voltage applying terminal (V_D) of the drain region 47, and a voltage applying terminal (V_S) of the source region 45 is floated.

Therefore, electrons generated in the channel region of the lower part of the trench by the potential difference between the drain region 47 and the control gate 63 are implanted into the drain region 47, and the electrons of the drain region 47 are tunneled and cumulated in the floating gate 57 via the thin tunneling oxide film 55 of the upper part of the drain region 47.

[0021] At a time of an erasing operation, a low voltage is applied to the voltage applying terminal (V_{CG}) of the control gate 63 as a second gate of the EEPROM cell, a high voltage is

applied to the voltage applying terminal (V_D) of the drain region 47, and the voltage applying terminal (V_S) of the source region

45 is floated. Therefore, the electrons cumulated in the floating gate 57 by the potential difference between the drain region 47 and the control gate 63 slip to the drain region 47 via /5 the tunneling oxide film 55. At that time, even if a high potential difference is generated between the drain region 47 and the control gate 63, since the first spacers 52 are formed at the inner walls of the trench in contact with the floating gate 57 and the drain region 47, a leak current can be prevented from flowing to the substrate 41 from the drain region 47.

[0022] Then, at a time of a data reading operation, each fixed voltage is applied to the voltage applying terminals (V_D) and (V_S) of the drain and source regions so that a static potential difference may be held between the drain region 47 and the source region 45, and a fixed voltage in the range where the potential difference between the drain region and the control gate is not tunneled from the drain region to the floating gate 57 via the tunneling oxide film 55 is applied to the voltage applying terminal (V_{CG}) of the control gate. In this state, the current flowing to the cell is detected, and the data are read out.

[0023] In the above-mentioned EEPROM cell, the source/drain regions 45 and 47 are formed in an embedded shape, and the gate oxide film 53 is formed in the trench between the source/drain regions 45 and 47. At the same time, the floating gate 57 and the control gate 63 are formed in the upper part of the trench.

Thus, a good surface shape of the EEPROM cell is obtained.

[0024] Figures 5(A)-(J), as shown in Figure 4, show manufacturing process diagrams of the EEPROM cell of the present invention. As shown in Figure 5(A), an oxide film 43 is formed as an insulating film on a p type semiconductor substrate 41, a photoresist film 44 is spread on the oxide film 43, and the substrate is exposed by removing the photoresist film 44 of the part in which source/drain regions are to be formed. Using the photoresist film 44 as a mask, n⁺ type impurities are ion-implanted into the exposed substrate. Thus, n⁺ type source region 45 and drain region 47 are formed at a fixed interval in the semiconductor substrate. At that time, the source/drain regions 45 and 47 have a fixed junction depth. The remaining photoresist film 44 is removed.

[0025] As shown in Figure 5(B), a trench 49 is formed by etching the oxide film 43 between the source/drain regions 45 and 47 and the semiconductor substrate 41. The trench 49 has an etching depth smaller than the junction depth of the above-mentioned source/drain regions 45 and 47 and includes part of the source/drain regions 45 and 47. The substrate of the lower part of the trench region 49 becomes a channel region.

[0026] As shown in Figure 5(C), an insulating film 51 is formed over the entire surface of the substrate, and as shown in Figure 5(D), first spacers 52 are formed in the side walls of the trench formed in the source/drain regions 45 and 47 by an anisotropic etching. The substrate corresponding to the channel region is

exposed by the formation of the first spacers 52. Impurities for adjusting the threshold are ion-implanted into the channel region of the substrate.

[0027] As shown in Figure 5(E), a gate oxide film 53 is formed on the above-mentioned exposed substrate. As shown in Figure 6(F), a photoresist film 54 is spread over the entire surface of the substrate, and the oxide film 43 is exposed by removing the photoresist film 54 of the upper part of the drain region 47. The substrate of the upper part of the drain region 47 is exposed by removing the oxide film 43 exposed, so that the photoresist film 54 is removed.

[0028] Next, as shown in Figure 6(G), a thin tunneling oxide film 55 is formed on the exposed substrate by an oxidizing process.

[0029] As shown in Figure 6(H), a polysilicon film is spread and patterned on the entire surface of the substrate, so that a floating gate 57 is formed on the tunneling oxide film 55 and the oxide film 43 of the upper part of the source/drain regions 45 and 47 including the trench 49.

[0030] As shown in Figure 6(I), an insulating film is spread over the entire surface of the substrate and subjected to the anisotropic etching, so that second spacers 59 are formed on the oxide film 43 at both sides of the floating gate 57.

[0031] As shown in Figure 6(J), after forming the side wall spacers 59 of the floating gate, a dielectric film 61 of a capacitor is formed on the surface of the floating gate 57 and the side wall spacers 59, and a control gate 63 is formed on it,

so that the EEPROM cell of the present invention is completed.

[0032]

(Effects of the invention)

According to the above-mentioned present invention, the trench is formed between the tunnel oxide film and the drain region in which a large potential difference is generated when erasing, and the side wall spacers are formed in the trench, so that a leak current can be prevented from flowing from the drain region 47 to the substrate by the generation of a high potential difference between the drain region and the control gate.

[0033] Also, in the above-mentioned EEPROM cell, the source/drain regions are formed in an embedded shape, and the gate oxide film is formed in the trench between the source/drain regions. At the same time, the floating gate and the control gate are formed in the upper part of the trench. Thus, a good surface shape of the EEPROM cell can be obtained. Furthermore, since the conventional complicated field oxidizing process and field oxide film etching process for forming the tunneling oxide film are excluded, the process can be simplified.

4. Brief description of the figures

Figure 1 is a manufacturing process diagram of a conventional EEPROM cell.

Figure 2 explains erasing and writing operations of the EEPROM cell of Figure 1.

Figure 3 is a voltage waveform diagram at a time of writing

and erasing operations of the EEPROM cell of Figure 1.

Figure 4 is a cross section showing the EEPROM cell of an application example of the present invention.

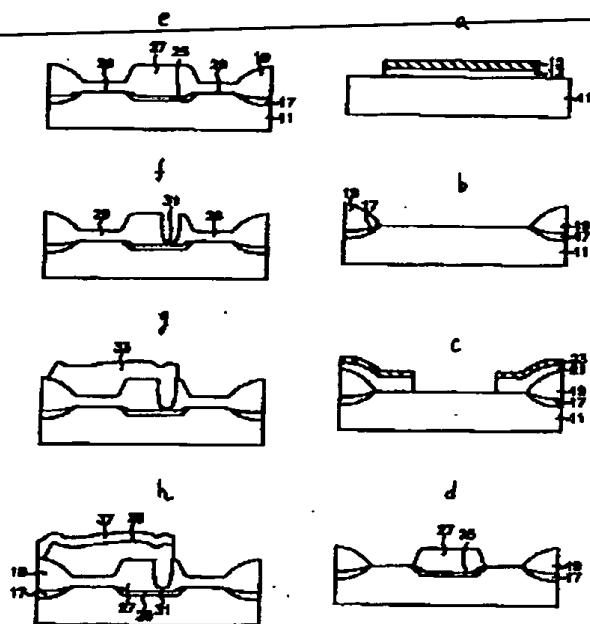
Figure 5 is a manufacturing process diagram of the EEPROM cell of Figure 3.

Figure 6 is a manufacturing process diagram of the EEPROM cell of Figure 3. /6

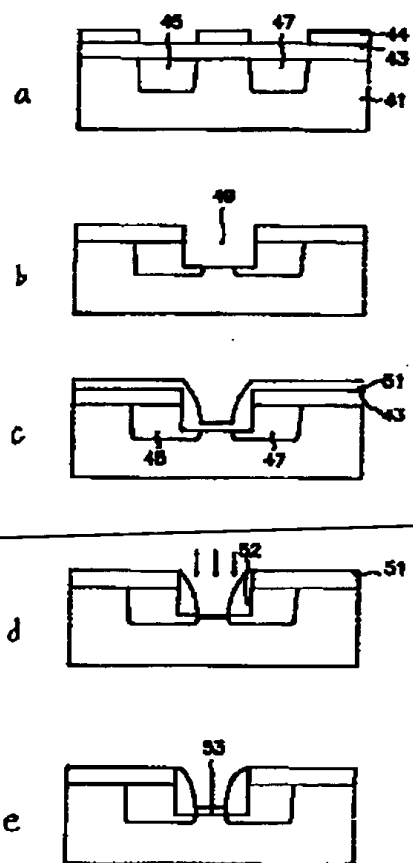
Explanation of numerals:

- 41 Semiconductor substrate
 - 42, 54 Photoresist films
 - 43 Insulating film
 - 45, 47 Source/drain regions
 - 49 Trench
-
- 51 Insulating film for spacers
 - 52 First spacer
 - 53 Gate oxide film
 - 55 Tunneling oxide film
 - 57 Floating gate
 - 59 Second spacer
 - 61 Dielectric film
 - 63 Control gate

【図1】



【图5】



【图6】

